



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09167739 A**(43) Date of publication of application: **24 . 06 . 97**

(51) Int. Cl. **H01L 21/20**
H01L 27/12

(21) Application number: **07326687**(22) Date of filing: **15 . 12 . 95**(71) Applicant: **NIPPON TELEGR & TELEPH CORP
<NTT>**

(72) Inventor: **YAMADA TAKESHI
 MORI HIDEFUMI
 NARIZUKA SHIGEYA
 NISHINAGA SHIYOU**

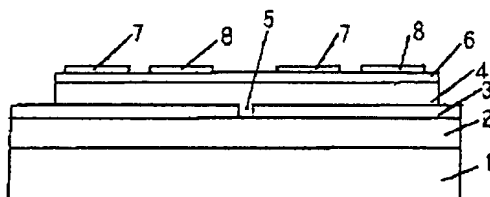
(54) SEMICONDUCTOR SUBSTRATE**(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor substrate having III-V group semiconductor layer in which precise transfer of mask pattern is realized at the time of photoprocess by suppressing the level difference on the semiconductor layer and an element having optical waveguide structure can be fabricated easily on same substrate as an electronic element while suppressing deterioration of element performance and increasing the production yield.

SOLUTION: The semiconductor substrate comprises a substrate 2 formed on a different kind of substrate 1 and provided with a III-V group semiconductor layer on the surface, a dielectric layer 3 formed on the III-V group semiconductor layer having a window made by removing a part linearly, and a III-V group semiconductor layer 4 grown on the dielectric layer 3 with the III-V group semiconductor layer exposed at the window 5 of dielectric layer 3 as a nucleus. The length L of window 5 made in the dielectric layer 3 is specified from the crystal face of substrate, the angle between the direction of maximum inclination angle with respect to (001) crystal face of substrate and the window of dielectric layer is set at 85-95°, or the

(111) crystal face of substrate is employed as the surface of substrate.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-167739

(43) 公開日 平成9年(1997)6月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20			H 0 1 L 21/20	
27/12			27/12	G

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平7-326687

(22) 出願日 平成7年(1995)12月15日

(71) 出願人 000004226

日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号

(72) 発明者 山田 武

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 森 英史

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 成塚 重弥

東京都文京区小日向三丁目17番2号 ハー
ヴェスト小日向

(74) 代理人 弁理士 中村 純之助

最終頁に続く

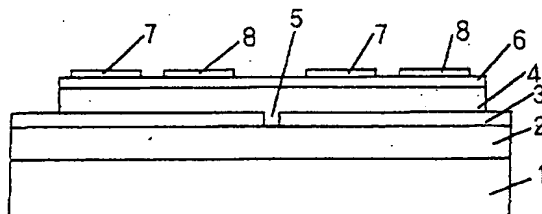
(54) 【発明の名称】 半導体基板

(57) 【要約】

【課題】 III-V 族半導体層を有す半導体基板において、半導体層上の段差の形成を小さくして、フォトリソセス時におけるマスクパターンの精密転写を可能とし、同一基板上に光導波構造を有する素子および電子素子の作製が容易で、素子性能の劣化が少なく、かつ製造歩留まりが良好となる半導体基板を提供する。

【解決手段】 異種基板上に形成した III-V 族半導体層を表面に有する基板と、III-V 族半導体層上に形成した一部を線状に除去した窓を有する誘電体層と、この誘電体層上に、誘電体層の窓の部分の露出した III-V 族半導体層を核として成長した III-V 族半導体層からなり、誘電体層の窓の長さ l を基板結晶面から特定するか、基板結晶の (001) 面とのなす最大傾斜角の方向と、誘電体層の窓とのなす角度を 85 度～95 度とするか、基板面を基板結晶の (111) 面とした半導体基板とする。

図 4



- 1…基板
- 2…基板の一部を構成する III-V 族半導体層
- 3…誘電体層
- 4…誘電体層上に成長した III-V 族半導体層
- 5…誘電体層の窓
- 6…半導体光素子を構成する半導体層
- 7…第 1 の極性の半導体層に接する電極
- 8…第 2 の極性の半導体層に接する電極

【特許請求の範囲】

【請求項1】異種基板上に形成したIII-V族半導体層を表面に有する基板と、上記III-V族半導体層上に形成した一部を線状に除去した窓を有する誘電体層と、該誘電体層上に、上記誘電体層の窓の部分の露出したIII-V族半導体層を核として成長したIII-V族半導体層

$$24 \leq L \leq 20 / \{ \tan(\alpha) \cdot \cos(\beta) \} \cdots \cdots (数1)$$

【式中、 α は、 $0 < \alpha \leq 8$ の範囲、 β は、 $15 \leq \beta \leq 75$ の範囲とする。】

かつ、上記誘電体層上に成長されたIII-V族半導体層は、個々の光素子または電子素子に対応する領域に形成してなることを特徴とする半導体基板。

【請求項2】異種基板上に形成したIII-V族半導体層を表面に有する基板と、上記III-V族半導体層上に形成した一部を線状に除去した窓を有する誘電体層と、該誘電体層上に、上記誘電体層の窓の部分の露出したIII-V族半導体層を核として成長したIII-V族半導体層からなり、上記基板面が、該基板結晶の(001)面から<001>軸を中心に<110>方向から γ 度回転した方向にオフする場合に、上記 γ 度は、 $15 \leq \gamma \leq 45$ の範囲内にあり、かつ上記基板面と該基板結晶の(001)面とのなす最大傾斜角の方向と、上記誘電体層の窓とのなす角度が85度ないし95度の範囲であることを特徴とする半導体基板。

【請求項3】異種基板上に形成したIII-V族半導体層を表面に有する基板と、上記III-V族半導体層上に形成した一部を線状に除去した窓を有する誘電体層と、該誘電体層上に、上記誘電体層の窓の部分の露出したIII-V族半導体層を核として成長したIII-V族半導体層から少なくとも構成される半導体基板において、上記基板面は基板結晶の(111)面であることを特徴とする半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は異種基板上に誘電体層を介してIII-V族半導体層を設けた半導体基板に係り、特にIII-V族半導体層上の段差の形成が小さく、フォトリソプロセス時のマスクパターンの精密転写が可能であり、高性能の光導波構造を有する素子、または電子素子等の作製が可能で、素子の性能劣化が少なく、かつ製造歩留まりが良好な半導体基板に関する。

【0002】

【従来の技術】近年、半導体光素子は光通信や光メモリを始めとした広い範囲にわたって利用されている。しかし、光素子は、その構造上アンプやドライバなどの電子素子との同一基板上への集積が困難であり、光素子と電子素子は各々単体で作製された後、リード線などで接続されていた。そのため、素子の組み立てに多大の労力を必要とし、また高速応答特性にも限界が生じるという問題があった。この問題を解決するために、例えば、アプ

からなり、上記基板結晶の(001)面と<011>方向へオフした該基板面とのなす角度が α 度であり、該基板面と(001)面とのなす最大傾斜角の方向と、上記長さ L μ mの誘電体層の窓とのなす角度が β 度である半導体基板において、上記誘電体層の窓の長さ L は、次の(数1)式で示される関係を有し、

ライド フィジクス レターズ (Applied Physics Letters) 第62巻10号1038頁から1040頁に記載されているごとく、電子素子の製作技術がほぼ確立されているシリコン基板上に光素子を形成したり、高速電子素子が作製できるガリウム砒素 (GaAs) 基板上に長波系のインジウムリン (InP) 系の光素子を形成する技術が提案されている。しかし、これらの方法では基板の格子定数と光素子を形成する結晶の格子定数との間に差があり、その結果、光素子内に格子欠陥が形成され、この格子欠陥の存在により光素子の性能や寿命の劣化が生じるという問題があった。また、電子素子においても、例えば、シリコン基板上の電子素子とGaAs基板などのIII-V族半導体基板上の電子素子とでは、その演算速度、集積度において各々得失があり、その両者の特徴を利用したハイブリッド素子の作製、もしくはシリコン基板の放熱特性を利用したシリコン基板上へのIII-V族半導体電子素子の作製が行われているが、上記光素子の場合と類似する性能劣化の問題があった。上記の問題を解決し結晶中の格子欠陥を減少させる方法として、例えば、1994年第41回応用物理学関係連合講演会講演予稿集206頁28a-2B-1に記載されているごとく、III-V族半導体層を表面に有する基板上に誘電体膜を形成し、一部を線状に除去した窓を形成した後、この窓部を核として誘電体上に欠陥の少ないIII-V族半導体層を成長した後、その上に素子構造を形成する方法がある。図6は、従来の半導体素子の作製途上における構成の一例を示す模式図である。図において、1は基板、2は基板の一部を構成するIII-V族半導体層、3は誘電体層、4は誘電体層上に成長したIII-V族半導体層、5は誘電体層の窓である。この方法では、図1に、基板結晶方位と、基板面と、窓の方向を示したように、該基板面と基板結晶の(001)面との間の角度 α は零(0)度ではない一定の角度、例えば2度で、<110>方向に傾いている。窓は、基板面上の<110>方向に近い方向から β 度傾いている。この時、成長する結晶は(001)、(1-11)、(-111)、(010)、(0-10)面に囲まれたIII-V族半導体層4が成長する。これは、上記結晶方向への成長速度が遅いことを示している。III-V族半導体層4は、誘電体層の窓5を核として成長するため、通常の成長時間では、上記窓5から遠くまでは成長できず、上記結晶面でない面が、上記窓5とほぼ平行方向に生じ、図6に示す形状となる。ここで、 α を0度とした場合には、アンチフェイズドメイン

が生じ単結晶は形成されない。また、 β を0度とした場合には、誘電体層の窓5からの結晶成長の方向は、結晶成長の遅い方向となり結晶の成長は困難となる。

【0003】

【発明が解決しようとする課題】例えば、図6に示す従来の半導体基板においては、基板面と基板結晶の(001)面との間の角度 α は2度であり、数mmの長さの誘電体層の窓5がある場合には、III-V族半導体層4上に、数百 μm ごとに、数十 μm の段差が生じる。この場合、段差の上と下では、フォトリソプロセス時のマスクパターンを精密に転写する限界深度を越え、所望の形状を転写することができないという問題があった。さらに、基板面上に光導波構造を形成する場合には、光導波構造が段差にかかる、光導波構造が不連続となり光素子の形成ができないか、あるいは形成できても性能劣化の原因となる。また、電子素子の作製において素子部に段差がかかった場合には製作歩留まりが低下するか、また、段差が素子部にかからない場合でも電極の段切れの原因が生じるという問題があった。

【0004】本発明の目的は、上記従来技術の問題点を解消し、III-V族半導体層を有する半導体基板におい

$$24 \leq L \leq 20 / \{ \tan(\alpha) \cdot \cos(\beta) \} \dots\dots (数1)$$

【式中、 α は、 $0 < \alpha \leq 8$ の範囲、 β は、 $15 \leq \beta \leq 75$ の範囲とする。】

かつ、上記誘電体層上に成長されたIII-V族半導体層は、個々の光素子または電子素子に対応する領域に形成した半導体基板とするものである。このような構成の半導体基板とすることにより、誘電体層上に成長したIII-V族半導体層に存在する段差が無くなるか、または素子形成に適する程度に上記段差を小さくすることができる。また、本発明は請求項2に記載のように、異種基板上に形成したIII-V族半導体層を表面に有する基板と、上記III-V族半導体層上に形成した一部を線状に除去した窓を有する誘電体層と、該誘電体層上に、上記誘電体層の窓の部分の露出したIII-V族半導体層を核として成長したIII-V族半導体層からなり、上記基板面が、該基板結晶の(001)面から $\langle 001 \rangle$ 軸を中心にして $\langle 110 \rangle$ 方向から γ 度回転した方向にオフする場合に、上記 γ 度は、 $15 \leq \gamma \leq 45$ の範囲内にあり、かつ上記基板面と該基板結晶の(001)面とのなす最大傾斜角の方向と、上記誘電体層の窓とのなす角度が85度ないし95度の範囲である半導体基板とするものである。このような構成の半導体基板とすることにより、上記請求項1と同様に、誘電体層上に成長したIII-V族半導体層に存在する段差が無くなるか、または素子形成に適する程度に上記段差を小さくすることができる。また、本発明は請求項3に記載のように、異種基板上に形成したIII-V族半導体層を表面に有する基板と、上記III-V族半導体層上に形成した一部を線状に除去した窓を有する誘電体層と、該誘電体層上に、上記誘電体層の

て、上記III-V族半導体層上に段差が形成されることなく、フォトリソプロセス時のマスクパターンの精密転写が可能であり、基板面上に光導波構造を有する素子、または電子素子等の製作を可能とすると共に、素子の性能劣化が少なく、かつ製造歩留まりが良好な半導体基板を提供することにある。

【0005】

【課題を解決するための手段】上記本発明の目的を達成するために、本発明は特許請求の範囲に記載された構成とするものである。すなわち、本発明は請求項1に記載のように、異種基板上に形成したIII-V族半導体層を表面に有する基板と、上記III-V族半導体層上に形成した一部を線状に除去した窓を有する誘電体層と、該誘電体層上に、上記誘電体層の窓の部分の露出したIII-V族半導体層を核として成長したIII-V族半導体層からなり、上記基板結晶の(001)面と $\langle 011 \rangle$ 方向へオフした該基板面とのなす角度が α 度であり、該基板面と(001)面とのなす最大傾斜角の方向と、上記長さ $L \mu\text{m}$ の誘電体層の窓とのなす角度が β 度である半導体基板において、上記誘電体層の窓の長さ L は、次の(数1)式で示される関係を有し、

窓の部分の露出したIII-V族半導体層を核として成長したIII-V族半導体層から少なくとも構成される半導体基板において、上記基板面は基板結晶の(111)面である半導体基板とするものである。このような構成の半導体基板とすることにより、上記請求項1および請求項2と同様に、誘電体層上に成長したIII-V族半導体層に存在する段差が無くなるか、または素子形成に適する程度に上記段差を小さくすることができる。本発明の半導体基板において、誘電体層上に成長したIII-V族半導体層は、(001)面、(110)面、(111)面が現われるため、例えば、図6に示す従来例の場合には、連続した(001)面となるために左方に比べ右方は数倍ないし数十倍の速度で成長しなければならない。しかし、誘電体層の面から平均的に同一の厚さで成長するために上記の段差が生じる。そこで、結晶基板として $\langle 011 \rangle$ 方向へオフした(001)面を用いる場合には、誘電体層の窓の長さを一定の範囲内に制限することにより、実用的な段差の範囲に抑えることができる。図1に示す配置において、最大の段差 $D \mu\text{m}$ は、誘電体層の窓の長さ $L \mu\text{m}$ に対し、 $D = L \cdot \{ \tan(\alpha) \cdot \cos(\beta) \}$ で表わされる。そこで最大の段差 $D \mu\text{m}$ を一定の範囲内、すなわち誘電体層の窓の長さ $L \mu\text{m}$ を一定範囲以内にとどめる必要がある。上記 α の角度が0度では異種基板上にIII-V族半導体層を形成する際にアンチフェイズドメインが形成され、また8度以上では高次の結晶方位が現われるため上記半導体層の成長には不向きであり、 $0 < \alpha \leq 8$ に制限される。上記 β の角度は、誘電体層の窓の方向が $\langle 110 \rangle$ 方向に近い場合には、

III-V族半導体層は横方向に充分大きく成長できないため $15 \leq \beta \leq 75$ の範囲に制限される。また、窓の長さは、例えば一般的な面型レーザの $5 \mu\text{m}$ 径が形成可能なIII-V族半導体層の幅が得られる $24 \mu\text{m}$ 以上必要である。さらに段差は、マスク露光時の限界深度以下の $20 \mu\text{m}$ 以下であることが必要がある。また、図2に示すように、結晶基板として $\langle 011 \rangle$ 方向から γ 度の方向へ (001) 面からオフし、さらにオフ方向から垂直方向に誘電体層の窓を開けた場合には、窓は (001) 面内にあり、上記窓の長さ方向に対して段差が生じないため、窓の長さに制限を加える必要は生じない。ただし、上記 γ の角度が小さい場合には誘電体層上のIII-V族半導体層が横方向に充分成長せず、素子を形成するのに必要な幅が得られない。そこで、 γ の角度を、 $15 \leq \gamma \leq 45$ の範囲とすることにより、素子を形成するに充分な幅を得ることができ、かつ上記窓が (001) 面内にあるため、窓の長さに制限を加えることなく、III-V族半導体層の厚さに差が無く必要な幅に成長することができる。また、図3に示すように、 (111) 面を基板面に用いる場合には、III-V族半導体層はIII族またはV族のみに対応した面で形成されるため、基板をオフにすることなくアンチフェイズドメイン無しにIII-V族半導体層を形成することができる。そのため、窓を、常に成長面である (111) 面内に形成でき、III-V族半導体層は窓の長さ方向に対して段差が生じないため窓の長さに制限を加える必要が生じない。

【0006】

【発明の実施の形態】図4は本発明の半導体基板上に作製した素子の断面図、図5は本発明の半導体基板上に作製した素子の作製途上の形態を示す模式図である。1は基板、2は基板の一部を構成するIII-V族半導体層、3は誘電体膜、4は誘電体層上に成長したIII-V族半導体層、5は誘電体層の窓、6は半導体光素子を構成する半導体層、7は第1の極性の半導体層に接する電極、8は第2の極性の半導体層に接する電極である。基板1は、シリコン(Si)やGaAs等からなり、この基板1上に、基板の一部を構成するIII-V族半導体層2がGaAsやInPにより形成されている。基板の一部を構成するIII-V族半導体層2上には、誘電体層3が被覆されている。誘電体層3には、誘電体層の窓5が開けられ、誘電体層の窓5を通して、GaAsやInP等のIII-V族半導体層4が成長されている。誘電体層上に成長したIII-V族半導体層4の下層ではない誘電体層3は、図4では除去していないが、必要に応じて除去してもよく、また除去しなくてもよい。誘電体層上に成長したIII-V族半導体層4の上には、半導体光素子または電子素子を構成する半導体層6が形成されている。半導体光素子は、レーザ構造やLED構造などの発光素子構造であってもよく、またフォトダイオードなどの受光素子構造であってもよい。さらに、電子素子はHBT、HEMT、

RHET等の種々の構造のものも作製可能である。半導体光素子を構成する半導体層6は、第1の極性の半導体層に接する電極7と第2の極性の半導体層に接する電極8とにより、外部と電気的に接続されている。図5においては、誘電体層の窓5が縦横に整列しているが、基板を有効利用する場合には、この方法が最も望ましい。また、素子が必要な誘電体層の窓5の部分のIII-V族半導体層は、基板1と、基板の一部を構成するIII-V族半導体層2が異なる材料で形成されている場合には格子欠陥が多く、誘電体層の窓5を通して基板1へ電流を流すことにより素子の劣化が加速され易い。また、基板1と基板の一部を構成するIII-V族半導体層2が同種の材料により形成されている場合でも面積が小さいため抵抗が大きく、光素子に熱影響や設計の困難さなどの悪影響を及ぼす。第1の極性の半導体層に接する電極7と第2の極性の半導体層に接する電極8の間に電流を流すことにより、これらの悪影響を防止することができる。図5においては、上記光素子の電極7、8を、誘電体層上に成長したIII-V族半導体層4上に一対のみ表わしているが、図4に示すごとく、誘電体層の窓5を挟んで両側にあってもよく、また複数個あってもよい。

【0007】

【実施例】

【実施例1】 $\langle 110 \rangle$ 方向に 2° オフした (001) シリコン基板上にGaAs層を成長し、絶縁膜を設けた後、 $\langle 110 \rangle$ 方向から 75° の方向に、長さ 1.4 m の誘電体層の窓5を、図5に示すごとく整列させて開け、GaAs膜を成長した。この時GaAs膜の厚さの差は $12.5 \mu\text{m}$ であった。この上に、HBT構造膜を成長して、投影露光でHBTを作製したところ、ゲートの幅に場所による変化はなく、電流利得を始めとした各種特性も通常のGaAs基板上のHBTと同等のものが得られた。

【0008】【実施例2】 $\langle 110 \rangle$ 方向から 22.5° の方向に 2° オフした (001) シリコン基板上に、GaAsとInP層を成長し、絶縁膜を設けた後、オフ方向と垂直方向に基板の一方から他方までの長さの窓を図2に示すように開け、InP層を成長した。この時、InP層の窓の長さ方向には厚さの変化は生じなかった。この上に、レーザ構造膜を成長し、コンタクト露光で導波型のレーザを作製したところ、導波路の幅に変化はなく、導波損失も通常のInP基板上のレーザと同等であった。

【0009】【実施例3】 (111) シリコン基板上にGaAs、歪超格子、InP層を成長し、絶縁膜を設けた後、基板の一方から他方までの長さの窓を図3に示すごとく開け、InP膜を成長した。この時、InP膜の窓の長さ方向には厚さの変化は生じなかった。この上に、直径 $5 \mu\text{m}$ の面型発光素子構造膜を成長し、コンタクト露光で面型発光素子を作製したところ、基板内で直径の

ばらつきは無く、通常のInP基板上面型発光素子の場合と同等のものが得られた。

【0010】

【発明の効果】本発明の誘電体層上にIII-V族半導体層を形成した半導体基板は、上記III-V族半導体層上の段差を小さく形成することができ、フォトリソプロセスのマスクパターンの精密転写が可能となり、基板面上に光導波構造を有する素子、または電子素子等の作製が容易であり、作製した素子の性能劣化が少なく、かつ製造歩留まりが良好な半導体基板が得られる。したがって、上記III-V族半導体基板上に、光素子または電子素子を形成する際の露光プロセスが容易となり、特に電子素子と光素子を同一基板上に配列した電気・光素子(OEIC)の作製に有効であり、高性能で信頼性の高い半導体素子が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態で例示した基板と結晶方位との関係を示す図。

【図2】本発明の実施の形態で例示した基板と結晶方位

との関係を示す図。

【図3】本発明の実施の形態で例示した基板と結晶方位との関係を示す図。

【図4】本発明による半導体基板素子の構成を示す断面図。

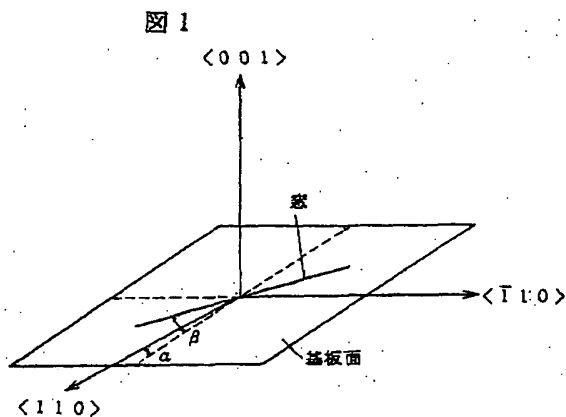
【図5】本発明の実施の形態で例示した半導体素子の作製途上の状態を示す模式図。

【図6】従来の半導体素子の作製途上の状態の一例を示す模式図。

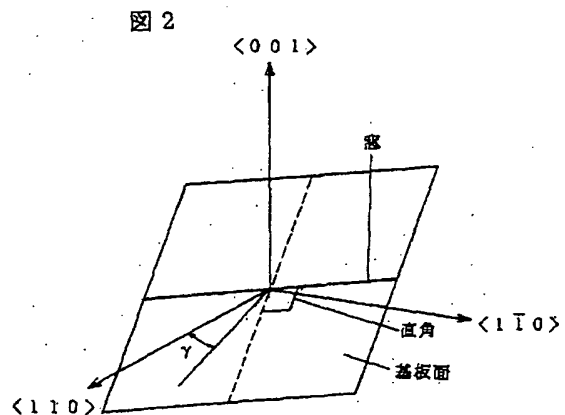
【符号の説明】

- 1…基板
- 2…基板の一部を構成するIII-V族半導体層
- 3…誘電体層
- 4…誘電体層上に成長したIII-V族半導体層
- 5…誘電体層の窓
- 6…半導体光素子を構成する半導体層
- 7…第1の極性の半導体層に接する電極
- 8…第2の極性の半導体層に接する電極

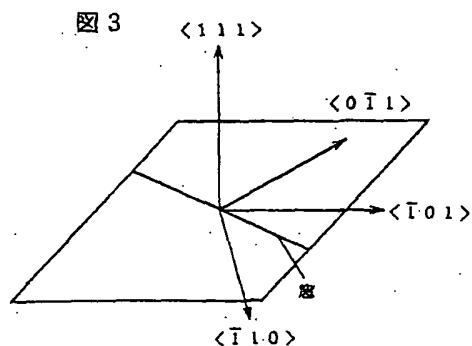
【図1】



【図2】

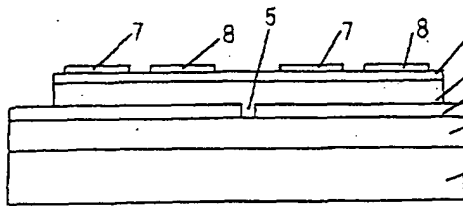


【図3】



【図 4】

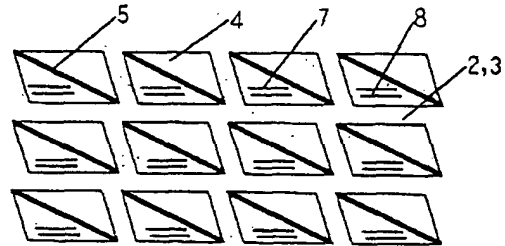
图 4



- 1…基板
- 2…基板の一部を構成するIII-V族半導体層
- 3…誘電体層
- 4…誘電体層上に成長したIII-V族半導体層
- 5…誘電体層の窓
- 6…半導体光素子を構成する半導体層
- 7…第1の極性の半導体層に接する電極
- 8…第2の極性の半導体層に接する電極

【图5】

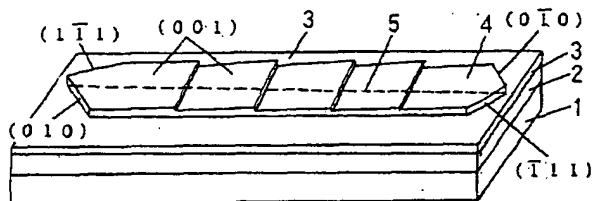
图 5



- 2...基板の一部を構成するIII-V族半導体層
- 3...誘電体層
- 4...誘電体層上に成長したIII-V族半導体層
- 5...誘電体層の部
- 7...第1の極性の半導体層に接する電極
- 8...第2の極性の半導体層に接する電極

【図 6】

图 6.



- 1…基板
- 2…基板の一部を構成するIII-V族半導体層
- 3…誘電体層
- 4…誘電体層上に成長したIII-V族半導体層
- 5…誘電体層の窓

フロントページの続き

(72)発明者 西永 頌
千葉県柏市南逆井四丁目11番4号